



1

## 【特許請求の範囲】

【請求項1】 チャネルがビットラインと接地電圧端との間に直列に接続され、各ワードラインにゲートがそれぞれ接続された複数のセルトランジスタを有するメモリストリングを備えた電氣的消去可能でプログラム可能な読出し専用メモリにおいて、

メモリストリングに第1高電圧を供給するための高電圧供給手段と、高電圧供給手段とメモリストリングとの間にチャネルが接続され、ビットライン選択信号をゲートに受けるようにされたビットライン選択トランジスタとを備え、

第1消去動作で、ビットライン選択信号を第1電圧としてビットライン選択トランジスタのゲートに印加し、そしてセルトランジスタのゲートには消去電圧を印加することで、各セルトランジスタを一括的に消去し、

第2消去動作で、セルトランジスタの内の何れかを選択してゲートに第2電圧を印加すると共に、選択されたセルトランジスタと接地電圧端との間に位置するセルトランジスタのゲートには第3電圧を印加し、ビットラインと選択されたセルトランジスタとの間に位置するセルトランジスタのゲートには第2高電圧を印加し、そしてビットライン選択信号を第2高電圧としてビットライン選択トランジスタのゲートに印加することで、選択されたセルトランジスタのドレインに第1高電圧を加えるようにすることにより、セルトランジスタのしきい電圧の調整がなされるようになっていることを特徴とする電氣的消去可能でプログラム可能な読出し専用メモリ。

【請求項2】 第2電圧は、選択されたセルトランジスタに設定のしきい電圧のレベルとされている請求項1記載の電氣的消去可能でプログラム可能な読出し専用メモリ。

【請求項3】 高電圧供給手段は、第2消去動作時にのみビットライン選択トランジスタを通じて第1高電圧を出力するようにしている請求項1記載の電氣的消去可能でプログラム可能な読出し専用メモリ。

【請求項4】 第2高電圧は、第1高電圧のレベルと同じかそれ以上とされている請求項1～請求項3の何れか記載の電氣的消去可能でプログラム可能な読出し専用メモリ。

【請求項5】 複数のワードラインと複数のビットラインとを有する一括消去型の電氣的消去可能でプログラム可能な読出し専用メモリにおいて、

各ビットラインにそれぞれ接続された第1高電圧を供給する高電圧供給手段と、第1高電圧をチャネルの一端に受けるようにされ、第1電圧又は第2高電圧レベルのビットライン選択信号をゲートに受けるようにされたビットライン選択トランジスタと、ビットライン選択トランジスタのチャネルの他端側からチャネルが直列接続され、ゲートに第2高電圧を受けて非選択とされるセルトランジスタと、接地電圧端にチャネルの一端が接続さ

2

れ、第2電圧をゲートに受けるようにされた接地接続トランジスタと、接地接続トランジスタのチャネルの他端からチャネルが直列接続され、ゲートに第2電圧を受けて非選択とされるセルトランジスタと、前記第2高電圧を受けて非選択とされるセルトランジスタと前記第2電圧を受けて非選択とされるセルトランジスタとの間にチャネルが直列に接続され、ゲートに第3電圧を受けて選択とされるセルトランジスタとを備えることを特徴とする電氣的消去可能でプログラム可能な読出し専用メモリ。

【請求項6】 第1電圧は接地電圧で、第2電圧は電源電圧である請求項5記載の電氣的消去可能でプログラム可能な読出し専用メモリ。

【請求項7】 第3電圧は、選択とされるセルトランジスタに設定のしきい電圧である請求項5記載の電氣的消去可能でプログラム可能な読出し専用メモリ。

【請求項8】 第2高電圧は、第1高電圧と同じかそれ以上の値をもつ請求項5記載の電氣的消去可能でプログラム可能な読出し専用メモリ。

【請求項9】 ビットラインから接地電圧端の間にチャネルが直列に接続され、各ワードラインにゲートがそれぞれ接続された複数のセルトランジスタを有するメモリストリングと、ビットラインとメモリストリングとの間に接続されたスリング選択トランジスタと、メモリストリングと接地電圧端との間に接続された接地接続トランジスタと、第1高電圧を供給するためにビットラインに接続された高電圧供給手段と、高電圧供給手段とメモリストリングとの間にチャネルが接続されたビットライン選択トランジスタとを備えた電氣的消去可能でプログラム可能な読出し専用メモリの消去方法であって、ビットライン選択トランジスタのゲートに第1電圧を印加し、各セルトランジスタのゲートに所定レベルの消去電圧を印加し、そしてスリング選択トランジスタのゲート、及び接地接続トランジスタのゲートに第3電圧を印加する第1消去過程と、

セルトランジスタの内の何れかを選択してゲートに第2電圧を印加し、ビットライン選択トランジスタのゲート、スリング選択トランジスタのゲート、及びスリング選択トランジスタと選択されたセルトランジスタとの間に位置する非選択のセルトランジスタのゲートに第2高電圧を印加し、接地接続トランジスタのゲート、及び選択されたセルトランジスタと接地接続トランジスタとの間に位置する非選択のセルトランジスタのゲートに第3電圧を印加する第2消去過程とを、連続的行うようになっていることを特徴とする電氣的消去可能でプログラム可能な読出し専用メモリの消去方法。

【請求項10】 第2消去過程は、接地接続トランジスタのゲートに第3電圧を印加し、セルトランジスタの内の接地接続トランジスタに隣接したセルトランジスタのゲートに第2電圧を印加し、このセルトランジスタを除

3

いた残りのセルトランジスタのゲート、ビットライン選択トランジスタのゲート、及びストリング選択トランジスタのゲートに第2高電圧を印加する段階から始まり、接地接続トランジスタのゲートに第3電圧を印加し、セルトランジスタの内のストリング選択トランジスタに隣接したセルトランジスタのゲートに第2電圧を印加し、このセルトランジスタを除いた残りのセルトランジスタのゲートに第3電圧を印加し、ビットライン選択トランジスタのゲート及びストリング選択トランジスタのゲートに第2高電圧を印加する段階に到るまで、接地電圧端側のセルトランジスタから順次に各セルトランジスタについて実施される請求項9記載の電氣的消去可能でプログラム可能な読出し専用メモリの消去方法。

【請求項11】 第2電圧は、選択されるセルトランジスタに設定のしきい電圧である請求項9又は請求項10の何れか記載の電氣的消去可能でプログラム可能な読出し専用メモリの消去方法。

【請求項12】 第2高電圧は、第1高電圧のレベルと同じかそれ以上である請求項9又は請求項10の何れか記載の電氣的消去可能でプログラム可能な読出し専用メモリの消去方法。

【請求項13】 半導体基板上に連続して配置されたソース拡散領域、チャネル領域、ドレイン拡散領域の3領域上に、トンネル絶縁膜、フローティングゲート、第2絶縁膜、制御ゲートを順次形成してなる電界効果形トランジスタをメモリセルとして備えた電氣的消去可能でプログラム可能な読出し専用メモリの動作方法において、ドレイン拡散領域を少なくとも一定電流型電流制限装置を通して第1電圧源の正極に接続すると共にソース拡散領域を直接又は間接的に該第1電圧源の負極に接続して第1電圧源の電流経路を形成し、制御ゲートにはドレイン拡散領域の初期電位より低いゲート電位を印加して、時間を経過させ、該ソース拡散領域とドレイン拡散領域の電位差を所定値以下に低くさせることを特徴とする電氣的消去可能でプログラム可能な読出し専用メモリの動作方法。

【請求項14】 半導体基板上に連続して配置されたソース拡散領域、チャネル領域、ドレイン拡散領域の3領域上に、トンネル絶縁膜、フローティングゲート、第2絶縁膜、制御ゲートを順次形成してなる電界効果形トランジスタをメモリセルとして備えた電氣的消去可能でプログラム可能な読出し専用メモリにおいて、

一定電流型電流制限回路と少なくとも1個の回路遮断素子とメモリセルのドレイン拡散領域とを順次に直列接続し、そして一定電流型電流制限回路の一端を第1電圧源の正極に接続し、メモリセルのソース拡散領域を直接又は間接的に該第1電圧源の負極に接続して第1電圧源の電流経路を形成し、制御ゲートにはソース拡散領域とドレイン拡散領域との初期電位差の中間の電圧を有するゲート電圧源の正極を接続し、該ゲート電圧源の負極を直接

4

又は間接的にソース拡散領域に接続していることを特徴とする電氣的消去可能でプログラム可能な読出し専用メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電氣的消去可能でプログラム可能な読出し専用メモリ（EEPROM）、特にNAND論理型の一括消去型電氣的消去可能でプログラム可能な読出し専用メモリ（Flash-EEPROM）に関する。

【0002】

【従来の技術】 一般に、不揮発性メモリデバイスの一つであるEEPROMは、メモリデバイスの高集積化に伴って、NAND論理の構造を用いる傾向にある。このようなNAND型構造は、それぞれが1つのビットを発生するストリングを備えてなっている。1単位のストリングはストリング選択トランジスタと接地接続トランジスタとの間に直列接続されたセルトランジスタ（8又は16個）を有している。

【0003】 このセルトランジスタは制御ゲート及びフローティングゲートを有しており、情報の記憶は、フローティングゲートに電子を注入するか、そこから電子を放出することによりセルトランジスタのしきい電圧を変化させて行われる。

【0004】 このような従来のNAND型のEEPROMとして、IEEE Journals of Solid-State Circuitsの89年8月号1238～1243頁及び90年4月号417～424頁に開示の技術がある。この論文に開示のNAND型EEPROMの1単位のストリングの等価回路を図1に示す。

【0005】 図面に示すように、ストリングはビットラインBLと接地電圧Vssの間に設けられ、直列接続された8個のセルトランジスタCT1～CT8を備えており、また、ストリングを選択するストリング選択トランジスタSTと、プログラム（書き込み）時にセル電流が流れることを防止し、読出し時にセル電流を接地電圧Vssに流す接地接続トランジスタGTとが設けられている。そして、ストリング選択トランジスタSTのゲートにはストリング選択ラインSSLが接続され、またセルトランジスタCT1～CT8のゲートにはワードラインWL1～WL8が接続されており、そして接地接続トランジスタGTのゲートには接地選択ラインGSLが接続されている。

【0006】 図12の動作別ゲート電圧一覧表を参照して図11の回路の動作を説明する。この種のメモリには動作状態として、プログラム、読出し、消去の3種があるで、順を追って説明する。

【0007】 まず、消去動作においては、ビットラインBLに0V、接地選択ラインGSLに5V、ワードラインWL1～WL8には消去電圧Verとして13Vが印

5

加される。これにより、トンネル現象によるF-N電流(Powler-Nordheim 電流)で、セルトランジスタの基板から電子がストリング内の全てのフローティングゲートに注入されて、すべてのセルの情報は消去される。このとき、セルトランジスタのしきい電圧は2~3Vになる。

【0008】次に、6番目のセルトランジスタCT6を選択してプログラム(書込み)する場合を説明する。選択されるセルトランジスタCT6より図中上方のストリング選択ラインSSLと5番目までのワードラインWL1~WL5には2.0Vのプログラム電圧Vprが印加され、一方、選択されるセルトランジスタCT6のワードラインWL6とそれより図中下方のワードラインWL7、WL8、及び接地選択ラインGSLには0Vが印加される。これにより、選択されたセルトランジスタCT6においてフローティングゲートからドレインに高電界が形成され、フローティングゲートにあった電子がドレインに抜出される。このときのセルトランジスタCT6のしきい電圧は-4~-3V程度になる。

【0009】そして、選択されたセルトランジスタCT6の情報を読出す場合を説明すると、選択されたセルトランジスタCT6のワードラインWL6にのみ0Vを印加し、一方、残りのワードラインWL1~WL5、WL7、WL8とストリング選択ラインSSL及び接地選択ラインGSLに5Vを印加し、そしてビットラインBLに電圧を印加する。この結果、選択されたセルトランジスタCT6のソースとドレインとの間の電圧差(しきい電圧)がビットラインBL上に現われる。この電圧が2~3Vであればデータ“1”として読出される(フローティングゲートに電子が存在する)、-4~-3Vであればデータ“0”として読出される(フローティングゲートに電子が存在しない)。

【0010】図13に、消去されたセル(曲線12)とプログラムされたセル(曲線11)の電流-電圧特性を示す。消去されたセルのしきい電圧Vtherは2~3Vの範囲に、プログラムされたセルのしきい電圧Vthprは-4~-3Vの範囲に設定されていることが分かる。

【0011】上記のようにして消去されたセルのしきい電圧の分布の詳細を図14に示した。消去後には2~3Vの範囲にしきい電圧が設定されなければならないにもかかわらず、2V以下又は3V以上のしきい電圧を有するセル21、22、23が存在する。これは、高集積によるセルの不均一性のために誘発されたものである。すなわち、消去動作は単位ストリング内にあるすべてのセルに対して同時に行なわれるので、セルが不均一であると、消去不足(under-erased; しきい電圧2V以下)のセルと過剰消去(over-erased; しきい電圧3V以上)のセルを生じてしまう。そこで、これらを適正なしきい電圧に調整するため消去時間を増やすことが考えられるが、

6

しかしこの場合、過剰消去されたセルはさらに高いしきい電圧となってしまう。このような状態、例えば、図11において3番目のセルトランジスタCT3が過剰消去されてしきい電圧が5V以上となってしまった状態を仮定してみると、読出し時にセルトランジスタCT3ではゲート電圧がしきい電圧より低くなり、したがってターンオンできず選択されたセルトランジスタCT6の状態を読出すことができない結果となる。また、過剰消去されたセルをプログラムしようとしても、希望するデータが記憶されないことになる。

【0012】

【発明が解決しようとする課題】したがって本発明の目的は、セルの不均一性にかかわらずしきい電圧を略一定とできるようにすることにある。また、消去されたセルのしきい電圧を最適な状態とすることができるようなデバイスを提供することを目指す。

【0013】

【課題を解決するための手段】このような目的を達成するために本発明によるEEPROMは、チャネルがビットラインと接地電圧端との間に直列に接続され、各ワードラインにゲートがそれぞれ接続された複数のセルトランジスタを有するメモリストリングを備えたEEPROMにおいて、メモリストリングに第1高電圧を供給するための高電圧供給手段と、高電圧供給手段とメモリストリングとの間にチャネルが接続され、ビットライン選択信号をゲートに受けるようにされたビットライン選択トランジスタとを備え、第1消去動作で、ビットライン選択信号を第1電圧としてビットライン選択トランジスタのゲートに印加し、そしてセルトランジスタのゲートには消去電圧を印加することで、各セルトランジスタを一括的に消去し、第2消去動作で、セルトランジスタの内の何れかを選択してゲートに第2電圧を印加すると共に、選択されたセルトランジスタと接地電圧端との間に位置するセルトランジスタのゲートには第3電圧を印加し、ビットラインと選択されたセルトランジスタとの間に位置するセルトランジスタのゲートには第2高電圧を印加し、そしてビットライン選択信号を第2高電圧としてビットライン選択トランジスタのゲートに印加することで、選択されたセルトランジスタのドレインに第1高電圧を加えるようにすることにより、セルトランジスタのしきい電圧の調整がなされるようになっていることを特徴とする。

【0014】

【作用】このような2段階の消去を用い、フローティングゲート上の電子をF-N電流により移動させることでセルトランジスタのしきい電圧を調整できる。すなわち、まず第1消去では、セルトランジスタのソースを低電位、ゲートを高電位にして、フローティングゲートに基板側から電子を吸い寄せて正常消去あるいは過剰消去をする。次いで第2消去では、ソースを低電位、ゲート

7

を消去しきい電圧に対応する中間電位に設定し、ドレインには高電位を定電流源から供給して、過剰消去回復のためドレイン側に電子を吸い出し、定電流源より供給される電流によって中和する。

【0015】特にNAND型構造に適用する場合は、直列に接続されたセルトランジスタを低電位側から高電位側に、順次1個づつ回復させる。このとき、未処理の高電位側セルトランジスタには十分高いゲート電位を与えて導通状態にし、処理済みの低電位側セルトランジスタには読出し時と同じ低い導通ゲート電位を与えておくようになっている。

【0016】より具体的に説明すると、第1消去動作では、高電位のゲートと低電位のソースによって形成される電界により中間位置に配置されたフローティングゲートに基板側から電子が注入される。これは Fowler-Nordheim型トンネル効果（すなわちF-N電流）によって生じる。これをNAND型構造に適用すると、直列に接続されたセルトランジスタの全部が導通状態のため、全部同時に消去動作が実行される。このとき、一部のセルトランジスタではフローティングゲートに過剰量の電子が蓄積されてしきい電圧が過大になってしまう場合がある。この現象を過剰消去と呼んでいる。

【0017】第2消去動作において、あるセルトランジスタが過剰消去状態であると仮定すると、該セルトランジスタは、そのゲート電位が上記のように消去しきい電圧に対応する中間電位に設定されると非導通状態となり、このときドレインには定電流源の電源電圧である高電位が印加される。したがって、トンネル効果によりフローティングゲート上の過剰電子がドレイン側に吸い出されて過剰消去が回復・正常化し、その結果、導通状態になる。このようにして正常化すると（又は初めから正常である）、ドレイン・ソース間の抵抗が低下するのでドレイン電圧は降下する。この結果、電子の吸い出しは停止し、そのときゲート電位に対応したしきい電圧が自動的に得られる。

【0018】以上のようにする結果、しきい電圧のパラメータを軽減できるから、微細加工を利用した大容量メモリの実用化に好適である。

【0019】

【実施例】以下、本発明の実施例を添付の図面を参照して詳細に説明する。図1に本発明の実施例によるNAND型EEPROMの1単位のメモリストリングの等価回路を示す。尚、図1に示す従来例と同様の部分には同じ符号を付し、重複する説明は省略する。

【0020】図示のように、ストリング選択トランジスタS、接地接続トランジスタGT、及び8個のセルトランジスタCT1〜CT8の構成は図11のそれと同様のものであるが、これに加えて、高電圧Vpb端とビットラインBLとの間に高電圧供給手段100とビットライン選択トランジスタ200とが直列に接続されてい

8

る。

【0021】ただし、図4では高電圧供給手段100として独立電流源を使用しているが、図3に示すような電流-電圧特性を有するものであれば、どのようなものでもよい。尚、図3中の1pbは電圧に適用される高電圧の電流を示し、VBLはビットラインの電圧を示す。

【0022】図2には本実施例の回路の消去動作に使用される印加電圧の状態を示す。同図より、消去動作は第1消去動作（全体消去）と第2消去動作（消去調整）とに分かれていることがわかる。すなわち、第1消去動作は図11に示した従来例と同様にメモリストリング単位でセルを消去する過程であり、第2消去動作は前述のように過剰消去されたセルトランジスタのしきい電圧を適切なレベル（2〜3V）に調整するための過程である。

【0023】図8はセルトランジスタの動作を示す説明図であり、図中のトンネル部絶縁膜は厚さ100Åの酸化膜である。

【0024】図2及び図8Aを参照すると分かるように、第1消去動作においてはビットラインBL及びビットライン選択トランジスタ200のゲート（SBG）には0Vが供給される。したがってビットライン選択トランジスタ200はターンオフしているので、高電圧供給手段100の出力である高電圧VpbはビットラインBLに影響を与えない。ストリング選択トランジスタST及び接地接続トランジスタGTのゲートには5Vが印加され、結果としてソース電位は約0Vになっている。そしてすべてのセルトランジスタCT1〜CT8のゲートには1.3Vの消去電圧Vscrが印加される。その結果、基板側よりフローティングゲートに電子が注入される。

【0025】このようにして第1消去動作が完了された後の、各セルの電流-電圧特性及びしきい電圧の分布が図4及び図5にそれぞれ示されている。ただし、図中のIDSはドレインとソースとの間の電流、VGはゲート電圧、Vtはセルのしきい電圧を示す。図示のように、消去されたセルのしきい電圧は適正なしきい電圧Vtheより高くなっていることがわかる。これはすなわち、過剰消去された状態にあるものである。尚、図4及び図5においては説明のためにストリングにあるすべてのセルが過剰消去された場合を表しているが、一部のセルのみを過剰消去することも勿論可能である。

【0026】第2消去動作は、第1消去動作によって過剰消去されたセルのしきい電圧を適正なしきい電圧Vthe、例えば2V〜3Vに最適化する動作である。これは8番目のセルトランジスタCT8から1番目のセルトランジスタCT1まで順次行われる。

【0027】まず、セルトランジスタCT8のしきい電圧を最適なしきい電圧Vtheに調整するために、ビットライン選択トランジスタ200のゲートにゲート間で高電圧Vpbを印加し、1番目から7番目までの

9

セルトランジスタCT1〜CT7のゲートにもVpp  
b、例えば消去電圧Verと同値の13Vを印加する。  
勿論、ストリング選択トランジスタSTのゲートにもV  
ppbが印加される。この結果、高電圧供給手段100  
による高電圧VpbがセルトランジスタCT8のドレイン  
に印加される。このとき、セルトランジスタCT8の  
ゲートには最適しきい電圧Vthg、例えば4  
Vが供給される。この場合、ゲーティング用高電圧Vp  
pbのレベルは、高電圧VpbがセルトランジスタCT  
8のドレインまで達するのに十分なレベルにある必要が  
ある。そして、最適しきい電圧Vthcのレベルは2  
〜3Vのレベルに設定される。

【0028】これをより明確に理解するために、図8B  
を用いて説明する。セルトランジスタCT8のドレイン  
に印加される高電圧Vpbのレベルがゲートに印加され  
るVthgより高いので、フローティングゲートにある  
過剰電子（第1消去後にしきい電圧を高くする要因である  
）がドレインの方に、トンネル現象により100Aの  
酸化膜（トンネル部絶縁膜）を通過して移動する。すなわ  
ち、しきい電圧が最適しきい電圧Vthcになるまで  
プログラム動作が遂行されるものである。

【0029】セルトランジスタCT8のしきい電圧が最  
適しきい電圧Vthcのレベルに到達すると、セルト  
ランジスタCT8はターンオンして高電圧供給手段100  
による電流Ipbを流すようになる。この電流Ipb  
がターンオンされたセルトランジスタCT8を通じて接  
地電圧Vss端に流れるので、セルトランジスタCT8  
のドレインに印加された高電圧Vpbのレベルは図3示  
した高電圧供給手段100の電流−電圧特性にしたがっ  
て低下する。したがって、セルトランジスタCT8にお  
いてはこれ以上の自動プログラム動作は行われないこと  
がわかる。

【0030】その次に順次遂行されていくセルトランジ  
スタCT7、…、CT1に対する動作過程も上記と同様  
に行なわれる。すなわち、第2消去動作が行なわれるセル  
トランジスタのゲートにのみ最適しきい電圧Vthg  
が印加され、一方、該セルトランジスタとピッ  
トラインとの間に位置したセルトランジスタのゲートには  
ゲーティング用高電圧Vppbが印加されると共に、  
該セルトランジスタと接地電圧端との間に位置したセル  
トランジスタ（既に第2消去動作が完了して適正のしき  
い電圧を有するものである）のゲートにはターンオン電  
圧5Vが印加されるものである。このような操作によっ  
て、図7に示すように、セルトランジスタのしきい電圧  
は適正なレベルVthcに最適化されることがわか  
る。

【0031】図9は、実際のEEPROMセルアレイ上  
での本発明の実施例を示す。そして図10で、図9の実  
施例において使用される信号の電圧波形とそのタイミン  
グを示す。図9のメモリセルアレイの等価回路図におい

10

ては、高電圧供給手段100としてP形MOSトランジ  
スタを使用している。このP形MOSトランジスタのゲ  
ートを制御する回路110はクロックΦにより出力が決定  
される。Vrefは所定の基準電圧である。図10か  
らわかるように、クロックΦのレベルが5VとなってN  
MOSトランジスタ101をターンオンさせなければ第  
2消去動作は遂行されない。1つのワードラインに連結  
されたセルトランジスタは1つのページを成しており、  
前述の第2消去動作は8ページから1ページまでページ  
単位で順次行われる。

【0032】上述の本発明の実施例で使用されたゲーテ  
ィング用高電圧VppbはEEPROM内で通常的に使  
用される高電圧発生回路を利用して発生させることがで  
きるものである。

【0033】以上の説明では、NAND論理型のEEP  
ROMのメモリセルの消去動作に伴う過剰消去を回復さ  
せる目的についてのみ述べたが、本発明はこのような消  
去動作に限定されるものではない。

【0034】

【発明の効果】以上述べてきたように本発明によるNA  
ND型EEPROMは、過剰消去されたセルを最適のし  
きい電圧に調整できるので、セルの不均一性による影響  
を受けることがなく、高集積化に大変有利であるばかり  
でなく、過剰消去を確実に防止できるのでデバイスの信  
頼性が向上するという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例によるNAND型EEPROM  
の1単位のストリングの等価回路図。

【図2】図1の実施例において第1消去動作及び第2消  
去動作を行う場合の実施例を示す電圧状態図。

【図3】図1の実施例における高電圧供給手段の電流−  
電圧特性図。

【図4】図1の実施例の第1消去動作後のセルの電流−  
電圧特性図。

【図5】図1の実施例の第1消去動作後のセルのしきい  
電圧分布図。

【図6】図1の実施例における第2消去動作時に選択さ  
れたセルの等価回路図。

【図7】図1の実施例の第2消去動作後のセルのしきい  
電圧分布図。

【図8】セルトランジスタ内での電子の移動状態を示す  
説明図。

【図9】本発明をEEPROMのメモリセルアレイに適  
用した場合の実施例を示す回路図。

【図10】図9の実施例の第1消去動作時及び第2消去  
動作時の各要素の電圧波形図。

【図11】従来のNAND型EEPROMの単位ストリン  
グの等価回路図。

【図12】図11の回路における消去、書き込み、及び読  
出し時の電圧の状態を示す説明図。

11

12

【図13】図11の回路における消去されたセル及びプログラムされたセルの電流-電圧特性図。

【図14】図11の回路における消去されたセルのしきい電圧分布図。

【符号の説明】

CT1~CT8 セルトランジスタ

ST ストリング選択トランジスタ

GT 接地接続トランジスタ

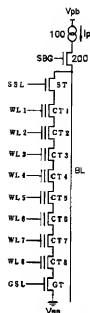
BL ビットライン

WL1~WL8 ワードライン

100 高電圧供給手段

200 ビットライン選択トランジスタ

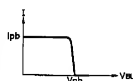
【図1】



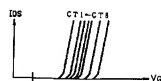
【図2】

	第1消去動作	第2消去動作		
		CT1	CT2	CT3
B/L	OV	Vpb	Vpb	Vpb
SSG	OV	Vppb	Vppb	Vppb
BL	SV	Vppb	Vppb	Vthg
WL1	Ver	Vppb	Vppb	SV
WL2	Ver	Vppb	Vppb	SV
WL3	Ver	Vppb	Vppb	SV
WL4	Ver	Vppb	Vppb	SV
WL5	Ver	Vppb	Vppb	SV
WL6	Ver	Vppb	Vppb	SV
WL7	Ver	Vppb	Vthg	SV
WL8	Ver	Vthg	SV	SV
GSL	SV	SV	SV	SV

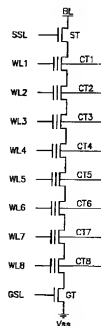
【図3】



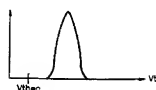
【図4】



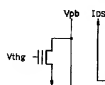
【図11】



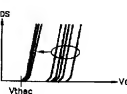
【図5】



【図6】



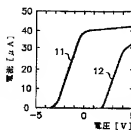
【図7】



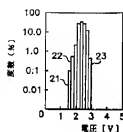
【図12】

	消去	書き込み	読み出し
BL	OV	20V	SV
SSL	SV	20V	SV
WL1	13V	20V	SV
WL2	13V	20V	SV
WL3	13V	20V	SV
WL4	13V	20V	SV
WL5	13V	20V	SV
WL6	13V	OV	OV
WL7	13V	OV	SV
WL8	13V	OV	SV
GSL	SV	OV	SV

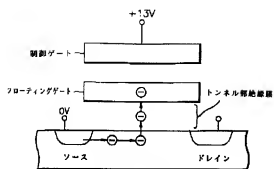
【図13】



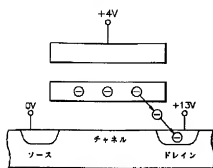
【図14】



【図8】

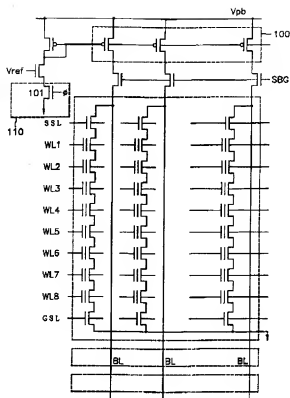


(A) 第1製造動作



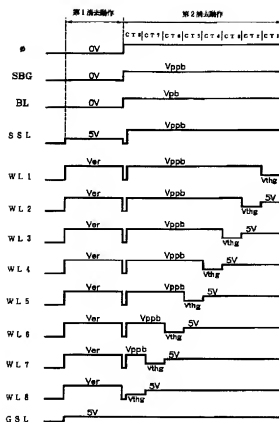
(B) 第2製造動作

【図9】





【図10】



フロントページの続き

(51) Int. Cl. <sup>5</sup>

H 0 1 L 29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

3 7 1